



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **09050350 A**(43) Date of publication of application: **18.02.97**

(51) Int. Cl.

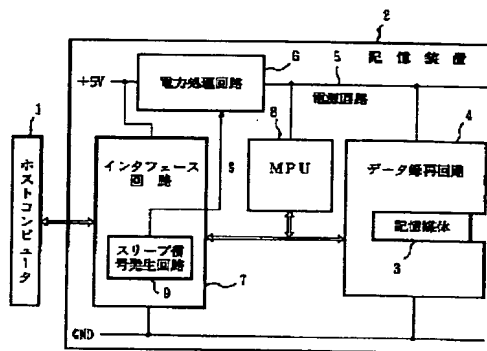
**G06F 3/06
H02J 1/00**(21) Application number: **07201176**(22) Date of filing: **07.08.95**(71) Applicant: **FUJITSU LTD**(72) Inventor: **ITO MASAHIRO
ISATO NOBUHIKO**(54) **STORAGE**

COPYRIGHT: (C)1997,JPO

(57) Abstract:

PROBLEM TO BE SOLVED: To reduce more the power consumption of a storage that is connected to a host computer when a power consumption reduction function of the storage is acting.

SOLUTION: A storage 2 is connected to a host computer 1 and also provided with a storage medium 3, a data record/reproducing circuit 4, a power circuit 5, a power processing circuit 6, an interface circuit 7 and an MPU 8. The circuit 7 is connected to the circuit 5 provided on the preceding stage of the circuit 6, and a circuit including the MPU 8 is connected to the circuit 5 provided on the next stage of the circuit 6. At the same time, a sleep signal generation circuit 9 is added to the circuit 7 to produce a sleep signal S. When a specific instruction signal is inputted from the computer 1, the signal S is sent to the circuit 6 to stop the supply of power to the following stage side. As a result of it, the power consumption of the storage 2 is further reduced. The signal S can be immediately canceled when an optical disk is loaded.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-50350

(43) 公開日 平成9年(1997)2月18日

(51) Int.Cl. ⁸	識別記号	庁内整理番号	F I	技術表示箇所
G 0 6 F 3/06	3 0 1		G 0 6 F 3/06	3 0 1 Z
H 0 2 J 1/00	3 0 7	7346-5G	H 0 2 J 1/00	3 0 7 D

審査請求 未請求 請求項の数4 O L (全 12 頁)

(21) 出願番号 特願平7-201176

(22) 出願日 平成7年(1995)8月7日

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番
1号

(72) 発明者 伊藤 雅洋

山形県東根市大字東根元東根字大森5400番
2(番地なし) 株式会社山形富士通内

(72) 発明者 伊里 信彦

神奈川県川崎市中原区上小田中1015番地
富士通株式会社内

(74) 代理人 弁理士 石田 敬 (外3名)

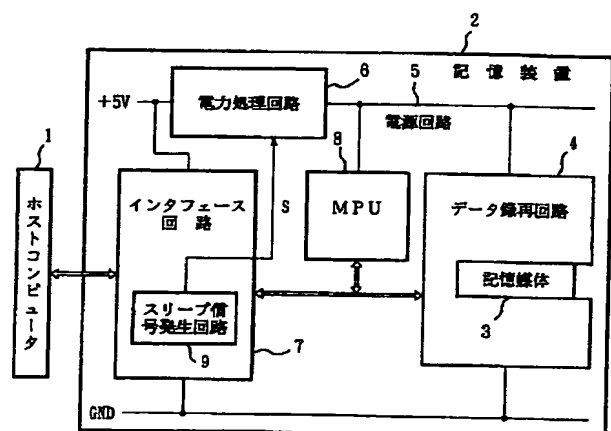
(54) 【発明の名称】 記憶装置

(57) 【要約】

【課題】 ホストコンピュータに接続された記憶装置の消費電力低減機能の動作時に、更に多くの消費電力の低減を図ることができるようにする。

【解決手段】 ホストコンピュータ1に接続し、記憶媒体3、データ録再回路4、電源回路5、電力処理回路6、インタフェース回路7、及びMPU8を備える記憶装置2において、インタフェース回路7は電力処理回路6の前段の電源回路5に接続し、MPU8を含む諸回路を電力処理回路6の後段の電源回路5に接続すると共に、インタフェース回路7にスリープ信号Sの発生回路9を設け、ホストコンピュータ1から特定の指示信号が入力された時に、電力処理回路6にこのスリープ信号Sを送って後段側への電力供給を停止させる。この結果、記憶装置の消費電力の低減効果が增大する。スリープ信号Sの解除は光ディスクの挿入時等には直ちに行うようにすれば良い。

本発明の原理構成



理IC16より後段の第2の電源回路19への電源の供給が停止される。

【0007】

【発明が解決しようとする課題】しかしながら、従来の記憶装置20では、消費電力低減機能が動作した場合でも、MPU18には電源回路(Vcc1)15を通じて電源が供給されており、MPU18と光ディスク駆動回路14との間には信号のやり取りがあり、消費電力の低減が十分でないという問題がある。

【0008】そこで、本発明は、ホストコンピュータに10 接続された記憶装置の消費電力低減機能の動作時に、更に多くの消費電力の低減を図ることができる記憶装置を提供することを目的とする。

【0009】

【課題を解決するための手段】前記目的を達成する本発明の記憶装置の原理構成が図1に示される。図1に示すように、本発明は、ホストコンピュータ1に接続する記憶装置2であって、記憶媒体3と、この記憶媒体3とのデータの記録/再生処理を行なうデータ録再機構を含むデータ録再回路4と、電源回路5と、この電源回路5中20 に設けられた電力処理回路6と、ホストコンピュータ1との接続端に設けられたインタフェース回路7、及び、記憶装置2の動作制御を行なうマイクロプロセッサユニット8とを備える記憶装置2において、インタフェース回路7を電力処理回路6の前段側の電源回路5に接続すると共に、このインタフェース回路7の出力を電力処理回路6に接続し、マイクロプロセッサユニット8を電力処理回路6の後段側の電源回路5に接続し、インタフェース回路7に、ホストコンピュータ1から特定の指示信号が入力された時に、電力処理回路6に後段側への電力30 供給を停止させるスリープ信号Sを発生するスリープ信号発生回路9を設け、特定の指示信号によって、マイクロプロセッサ1を含む電力処理回路6の後段側の電源回路5への電源供給を遮断するようにしたことを特徴としている。

【0010】この時、スリープ信号発生回路9がデータ録再回路4に記憶媒体3が挿入された時にスリープ信号Sの発生を停止して、電力処理回路6の後段側の電源回路5への電源供給を再開するようにしても良い。また、インタフェース回路7の入出力端子に、スリープ信号による電力処理回路6の後段側の電源回路5への電源供給の遮断時に、このインタフェース回路7の内部回路を保護するためのブルダウン抵抗を接続しても良い。

【0011】更に、インタフェース回路7の入出力端子に、電力処理回路の前後の電源回路の電源電圧の変化時に、このインタフェース回路7の内部回路への誤入力を防止するための論理回路を接続しても良い。本発明の記憶装置によれば、記憶装置の電源回路の途中に設けられた電力処理回路への電源供給側の電源回路には必要最小限の回路しか接続されていないので、消費電力低減機能50

の動作時における消費電力の大幅な削減が可能になる。

【0012】

【発明の実施の形態】以下添付図面を用いて本発明の実施例を詳細に説明する。図2は本発明の一実施例の記憶装置10の構成を示すものであり、図7で説明した従来の記憶装置20と同じ構成部材には同じ符号を付してある。図2(a)は記憶装置10の一実施例の構成を示すものである。図に示す回路10の左側には図示しないホストコンピュータが接続されており、このホストコンピュータにIDEインタフェース(図にはI/Fと略記)を介して光ディスクコントローラ17が接続している。光ディスクコントローラ17は図示しない電源供給回路に接続する電源回路(Vcc1)15とグランドGND間に接続されている。この光ディスクコントローラ17には、光ディスクの挿入信号である媒体挿入信号や、光ディスクの排出スイッチ(図示せず)からの信号が入力される。

【0013】また、電源回路(Vcc1)15とグランドGNDとの間にはリセットICが接続されている。このリセットIC11からのリセット信号RESET#は光ディスクコントローラ17に入力されるようになってい30 る。更に、電源回路(Vcc1)15には直列に電力処理IC16が接続しており、この電力処理IC16の後段側は、電力処理ICによって電力の供給がオン、オフされる第2の電源回路(Vcc2)19となっている。そして、第2の電源回路(Vcc2)19とグランドGNDの間にはアナログ雑回路12、MPU18、及び光ディスク駆動回路14が接続されている。図2(b)は図2(a)の光ディスク駆動回路14の内部構成を示すものである。光ディスク駆動回路14の内部には、ヘッドキャリッジ制御回路、スピンドルモータ制御回路、読み書き制御回路、ディスク挿入、排出様モータ、及びその他インタフェース以外の全ての回路がある。

【0014】MPU18はバス13によって光ディスク駆動回路14と光ディスクコントローラ17に相互に接続されている。アナログ雑回路12の出力は光ディスク駆動回路14と光ディスクコントローラ17に入力されている。光ディスクコントローラ17の内部にはスリープ信号SLEEP#の発生回路が設けられており、光ディスクコントローラ17にホストコンピュータから消費電力の低減命令が来ると、光ディスクコントローラ17はこのスリープ信号SLEEP#を生成し、このスリープ信号SLEEP#を電力処理ICに出力する。更にまた、光ディスクコントローラ17には、ホストコンピュータからのリセット信号HRESET#が入力されるようになっている。

【0015】光ディスクコントローラ17からスリープ信号SLEEP#が入力されると、電力処理IC16はその後段側に接続されている第2の電源回路(Vcc2)19への電源の供給を停止する。この結果、アナロ

がハイレベルの状態、スリープ信号SLEEP#が解除されてハイレベルになると、電力処理IC16の動作によって第2の電源回路(Vcc2)19への電源の供給が再開され、第2の電源回路(Vcc2)19がオンされる。第2の電源回路(Vcc2)19がオンされると、これに接続するアナログ雑回路12への電源の供給が再開される。アナログ雑回路12は電源の供給が再開されても直ぐにはリセット信号RSTO#を出力せず、所定時間経過後にリセット信号RSTO#をハイレベルにする。このリセット信号RSTO#により、AND回路28、29の遮断が解除され、光ディスクコントローラ(ODC)17のMPU18との入出力端子部がスリープからアクティブ状態状態になる。

【0025】このように、本発明では電力処理IC16より後段の第2の電源回路(Vcc2)をオフするスリープ信号を、ホストコンピュータからインタフェースを通じて要求された時に記憶装置自身が作り、MPUも含めて電力処理IC16より後段の第2の電源回路(Vcc2)に接続する回路の電源を遮断するので、消費電力は大幅に低減される。

【0026】

【発明の効果】以上説明したように、本発明によれば、ホストコンピュータに接続された記憶装置の電力消費低減機能の動作時に、更に多くの消費電力の低減を図ることができるという効果がある。

【図面の簡単な説明】

【図1】本発明の記憶装置の構成を示す原理構成図である。

【図2】(a)は本発明の一実施例の記憶装置の構成を示すブロック回路図、(b)は(a)の光ディスク駆動回路の内部の構成を説明する図である。

【図3】図2の光ディスクコントローラの内部構成を示すブロック回路図である。

【図4】本発明の記憶装置における電源オン時のタイミングチャートである。

【図5】本発明の記憶装置におけるスリープ状態への移行時のタイミングチャートである。

【図6】本発明の記憶装置におけるスリープ状態からの電源投入時のタイミングチャートである。

【図7】(a)は従来の記憶装置の構成を示すブロック回路図、(b)は(a)の光ディスク駆動回路の内部の構成を説明する図である。

【符号の説明】

1…ホストコンピュータ

2…記憶装置

3…記憶媒体

4…データ録再回路

5…電源回路

6…電力処理回路

7…インタフェース回路

20 8…MPU

9…スリープ信号発生回路

10…本発明の一実施例の記憶装置

13…バス

14…光ディスク駆動装置

15…電源回路

16…電力処理回路

17…光ディスクコントローラ

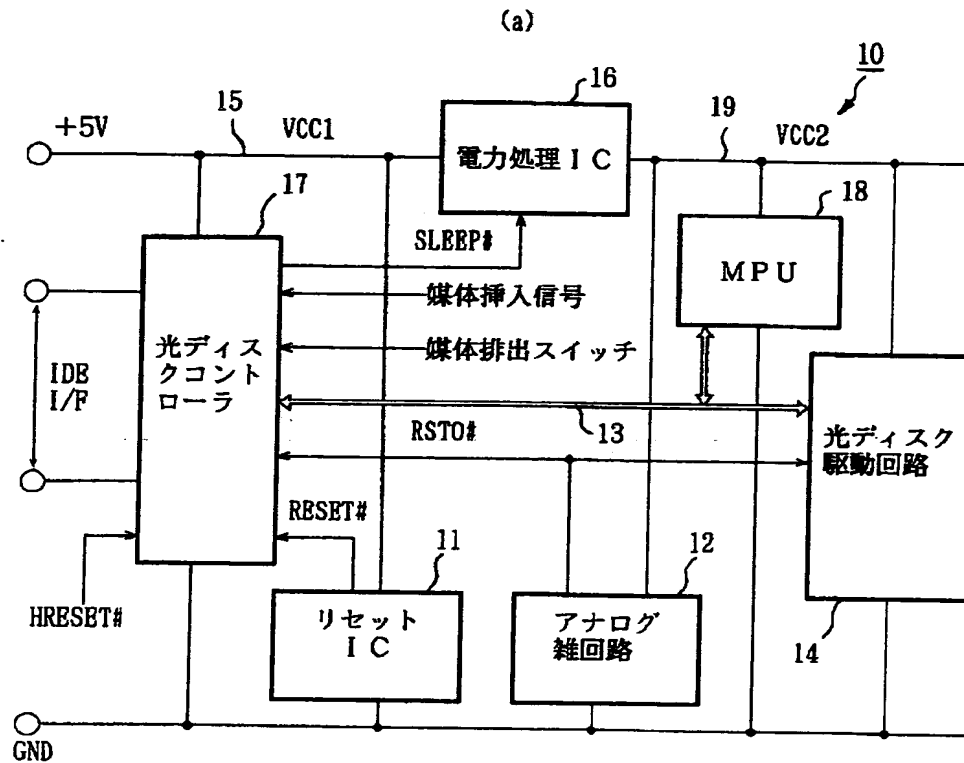
18…MPU

19…第2の電源回路

30 20…従来の記憶装置

【図2】

本発明の一実施例の記憶装置の電力制御回路

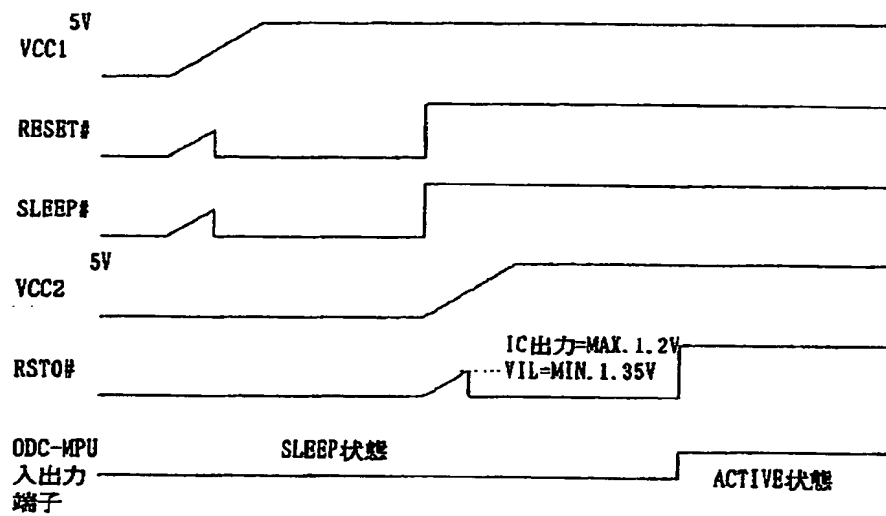


(b)

- 14
- ・ヘッドキャリッジ制御回路
 - ・スピンドルモータ制御回路
 - ・読み書き制御回路
 - ・ディスク挿入、排出用モータ
 - ・その他インタフェース以外の全ての回路

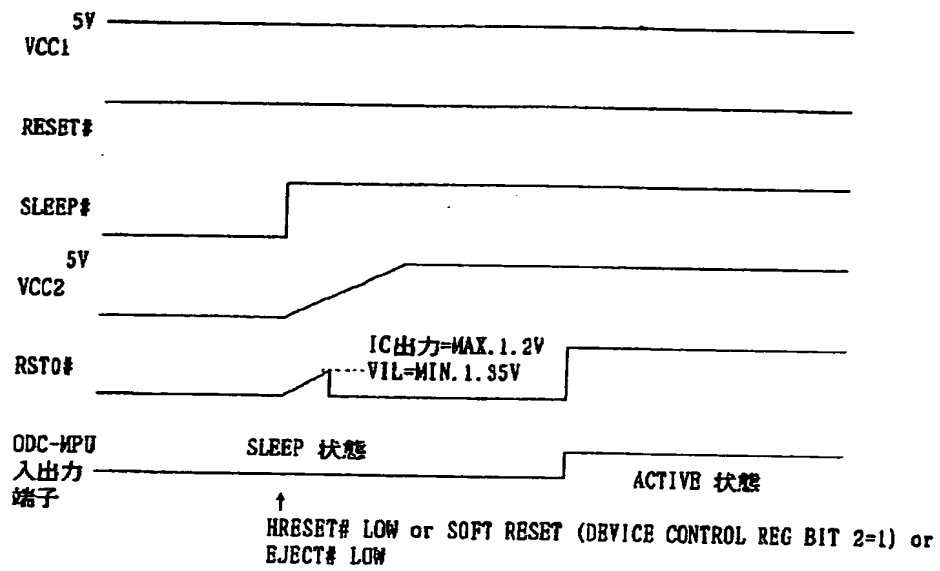
【図4】

電源オン時のタイミングチャート



【図6】

スリープ状態からの電源投入時のタイミングチャート



【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第3区分

【発行日】平成11年(1999)9月17日

【公開番号】特開平9-50350

【公開日】平成9年(1997)2月18日

【年通号数】公開特許公報9-504

【出願番号】特願平7-201176

【国際特許分類第6版】

G06F 3/06 301

H02J 1/00 307

【FI】

G06F 3/06 301 Z

H02J 1/00 307 D

【手続補正書】

【提出日】平成10年10月5日

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正内容】

【特許請求の範囲】

【請求項1】 記憶媒体と、この記憶媒体とのデータの記録／再生処理を行なうデータ録再機構を含むデータ録再回路と、電源回路と、この電源回路中に設けられた電力処理回路と、装置外部との接続端に設けられたインタフェース回路、及び、前記記憶装置の動作制御を行なうマイクロプロセッサユニットとを備える記憶装置において、

前記インタフェース回路を前記電力処理回路の前段側の電源回路に接続すると共に、このインタフェース回路の出力を前記電力処理回路に接続し、

前記マイクロプロセッサユニットを前記電力処理回路の後段側の電源回路に接続し、

前記インタフェース回路に、特定の指示信号が入力された時に、前記電力処理回路に後段側への電力供給を停止させるスリープ信号を発生するスリープ信号発生回路を設け、

前記特定の指示信号によって、前記マイクロプロセッサを含む前記電力処理回路の後段側の電源回路への電源供給を遮断するようにした、
ことを特徴とする記憶装置。

【請求項2】 前記スリープ信号発生回路は、前記データ録再回路に前記記憶媒体が挿入された時に前記スリープ信号の発生を停止して、前記電力処理回路の後段側の電源回路への電源供給を再開するようにしたことを特徴とする請求項1に記載の記憶装置。

【請求項3】 前記インタフェース回路の入出力端子に、前記スリープ信号による前記電力処理回路の後段側

の電源回路への電源供給の遮断時に、このインタフェース回路の内部回路を保護するためのブルダウン抵抗を接続したことを特徴とする請求項1または2に記載の記憶装置。

【請求項4】 前記インタフェース回路の入出力端子に、前記電力処理回路の前後の電源回路の電源電圧の変化時に、このインタフェース回路の内部回路への誤入力を防止するための論理回路を接続したことを特徴とする請求項1から3の何れか1項に記載の記憶装置。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0006

【補正方法】変更

【補正内容】

【0006】図7(b)は図7(a)の光ディスク駆動回路14の内部構成を示すものである。光ディスク駆動回路14の内部には、ヘッドキャリッジ制御回路、スピンドルモータ制御回路、読み書き制御回路、ディスク挿入、排出用モータ、及びその他インタフェース以外の全ての回路がある。以上のように構成された従来の記憶装置20には消費電力低減機能があり、ホストコンピュータからの特定の信号で消費電力の低減命令が光ディスクコントローラ17に入力されると、この消費電力低減命令はMPU18を介して電力処理IC16に入力され、電力処理IC16より後段の第2の電源回路19への電源の供給が停止される。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0008

【補正方法】変更

【補正内容】

【0008】そこで、本発明は、記憶装置の消費電力低減機能の動作時に、更に多くの消費電力の低減を図ることができ記憶装置を提供することを目的とする。

【0025】このように、本発明では電力処理IC16より後段の第2の電源回路(Vcc2)をオフするスリープ信号を、インタフェースが特定の信号を受信した時に記憶装置自身を作り、MPUも含めて電力処理IC16より後段の第2の電源回路(Vcc2)に接続する回路の電源を遮断するので、消費電力は大幅に低減される。

【手続補正10】

【補正対象書類名】明細書

【補正対象項目名】0026

【補正方法】変更

【補正内容】

【0026】

【発明の効果】以上説明したように、本発明によれば、記憶装置の電力消費低減機能の動作時に、更に多くの消費電力の低減を図ることができるという効果がある。